

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-095005

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H04N 9/66

H04N 9/78

(21)Application number : 11-265586

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 20.09.1999

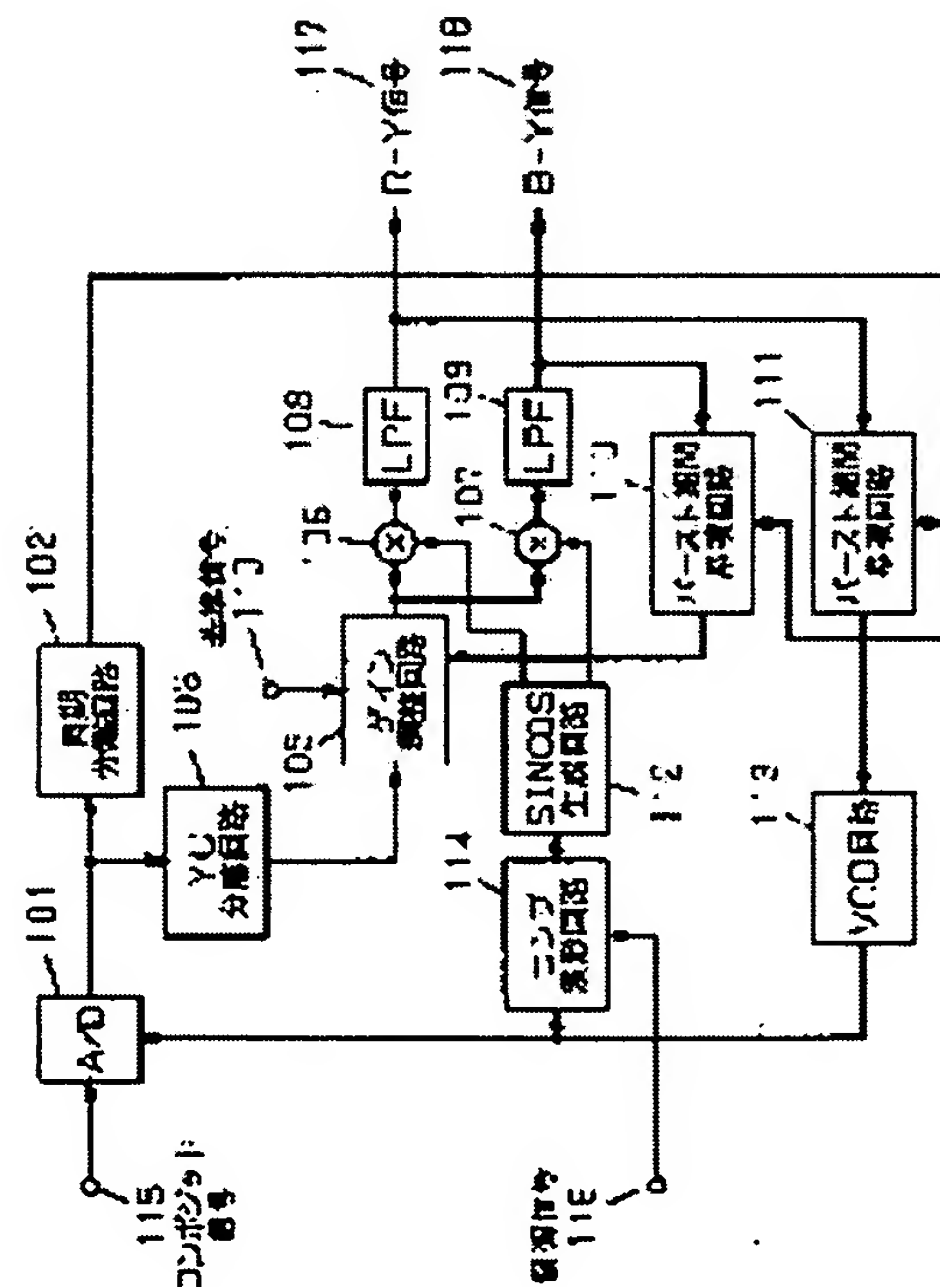
(72)Inventor : TAKEYA NOBUO
MORIBE HIROSHI
MORITA HISAO
SHIBUYA RYUICHI
ANDO HITOSHI

(54) CLOCK-GENERATING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock-generating circuit capable of a structuring YC separation and chroma demodulation of NTSC and PAL systems, etc., without greatly changing a sampling clock with high accuracy and simple system.

SOLUTION: This clock-generating circuit is provided with an AD conversion circuit 101, a synchronizing separator circuit 102, a YC separator circuit 103, a gain control circuit 105, multiplying circuits 106, 107, a low-pass filter circuit 108, a low-pass filter circuit 109, burst period accumulating circuits 110, 111, a SINCOS generating circuit 112, a VCO circuit 113 and a ramp waveform circuit 114.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of
rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-95005

(P2001-95005A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int. Cl.

識別記号

F I

ターミナル (参考)

H 0 4 N 9/66

H 0 4 N 9/66

Z 5 C 0 6 6

9/78

9/78

Z

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願平11-285586

(22) 出願日

平成11年9月20日 (1999.9.20)

(71) 出願人

000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者

竹谷 信夫

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者

毛利部 宏

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人

100097445

弁理士 岩瀬 文雄 (外2名)

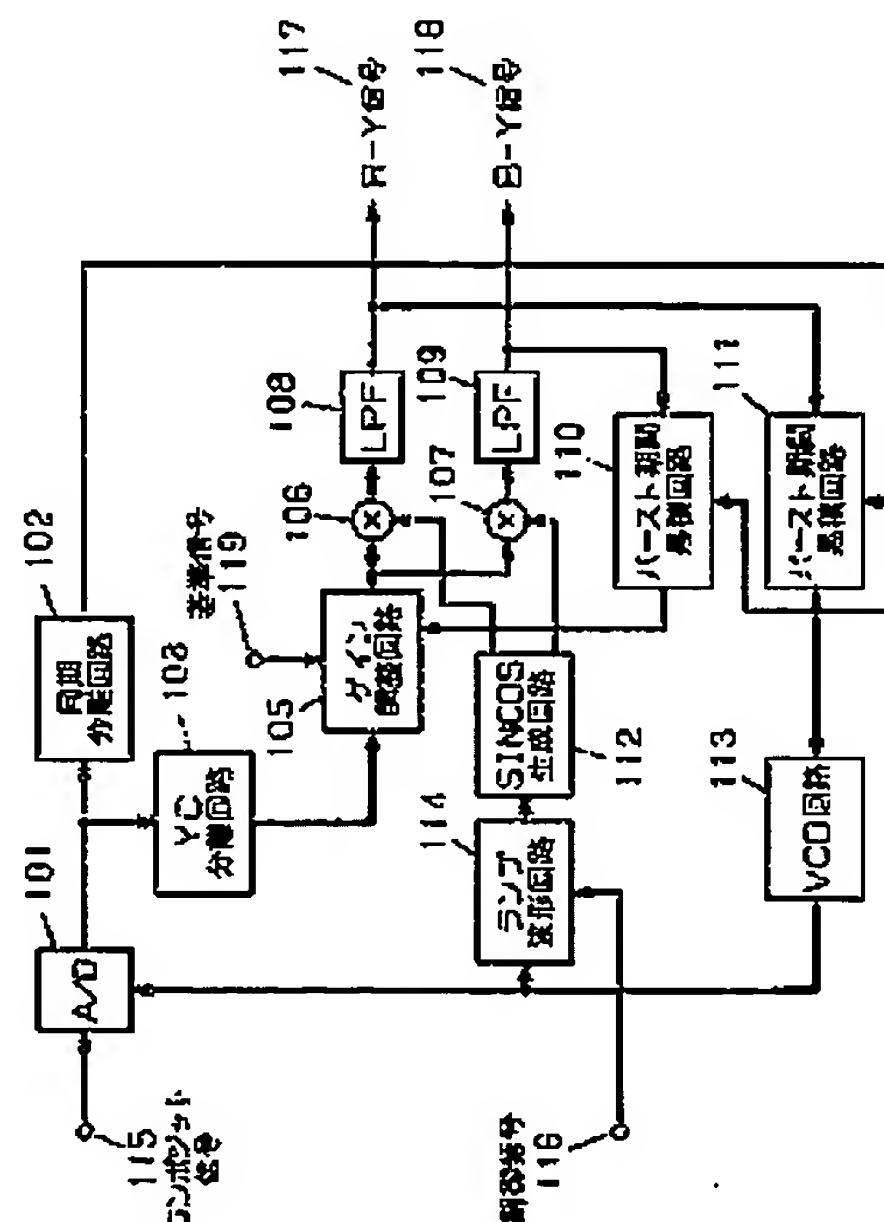
最終頁に続く

(54) 【発明の名称】 クロック発生回路

(57) 【要約】

【課題】 本発明は、サンプリングクロックを大きく変えることなくNTSC、PAL方式等のYC分能及びクロマ復調を高精度で、かつ簡単なシステムで構成できるクロック発生回路を提供する。

【解決手段】 AD変換回路101と、同期分能回路102と、YC分能回路103と、ゲイン調整回路105と、掛算回路106、107と、ローパスフィルター回路108と、ローパスフィルター回路109と、バースト期間系補回路110、111と、SINCOS生成回路112と、VCO回路113と、ランプ波形回路114を備えている。



【特許請求の範囲】

【請求項1】 サンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路。

【請求項2】 コンポジット信号を入力とするAD変換回路と、前記AD変換回路の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出力する同期分離回路と、前記AD変換回路からの出力信号を入力としYC分離をおこなうYC分離回路と、前記YC分離回路からのクロマ出力信号を入力とし、後述する第2のバースト期間累積回路からの制御信号と基準信号とを比較して、基準信号が大きければ出力する信号振幅を大きくするゲイン調整回路と、前記ゲイン調整回路からの出力信号と後述するSINCOS生成回路からの出力信号とを入力し、それら2つの信号を掛け算する第1及び第2の掛算回路と、前記第1の掛算回路からの出力信号を入力とし、その高調波成分を落とす第1のローパスフィルター回路と、前記第2の掛算回路からの出力信号を入力とし、その高調波成分を落とす第2のローパスフィルター回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第1のローパスフィルター回路からの出力信号を累積する第1のバースト期間累積回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第2のローパスフィルター回路からの出力信号を累積する第2のバースト期間累積回路と、前記第1のバースト期間累積回路からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができるVCO(Voltage Control Oscillator)回路と、前記VCO回路からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップする際に制御信号を効かすことで出力するランプ波形の周波数を制御できるランプ波形回路と、前記ランプ波形回路からのランプ波形をアドレスデータとして入力し、内蔵ROMデータを読み出してSIN、COS波を出力するSINCOS生成回路とを備え、サンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路。

【請求項3】 前記請求項2において、ランプ波形回路は入力された制御信号と後述するラッチ回路からの出力信号を加算する加算回路と、前記加算回路からの出力信号を入力されるクロック信号によりラッチするラッチ回路と、前記加算回路からの出力信号を入力とし、その信号を割り算する割算回路とを備え、少ない回路構成にてランプ波形の周波数を可変できるランプ波形回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、サンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路に関するものである。

【0002】

【従来の技術】近年、クロック発生回路は、マルチカラーデコーダー回路を構成する際に無くてはならない回路として重要視されている。

【0003】以下、図面を参照しながら、従来のクロック発生回路の一例について説明を行う。

【0004】図3は、特開平11-8857号公報で提案されているクロック発生回路のブロック構成図を示すものである。図3のブロック構成図において1101は周波数が27MHzのクロック1102を発生するクロック発生器、1103はアナログ搬送色信号の入力端子、1104は入力端子1103から入力されたアナログ搬送色信号をクロック1102でサンプリングして8ビットのデジタルデータに変換するA/D変換器である。

【0005】1105はA/D変換器1104の出力と正弦波発生手段1112の出力をクロック1102毎に乗算したあと高域周波数成分を除去して間引き処理を行い6.75MHzレートのB-Y信号を出力する復調手段、1106はA/D変換器1104の出力と余弦波発生手段1113の出力をクロック1102毎に乗算したあと高域周波数成分を除去して間引き処理を行い6.75MHzレートのR-Y信号を出力する復調手段である。

【0006】1107は復調手段1105のB-Y信号出力の出力端子、1108は復調手段1106のR-Y信号出力の出力端子、1202は2つの復調手段1105、1106の出力を入力としてカラーバースト期間を平均値処理して位相ずれ量を出力するNTSC用の位相補償手段、1203は2つの復調手段1105、1106の出力を入力としてカラーバースト期間を平均値処理して位相ずれ量を出力するPAL用の位相補償手段である。

【0007】1204は前記NTSC用の位相補償手段1202とPAL用の位相補償手段1203とを切り替える切換手段、1110は切り替え手段1204の出力をクロック1102毎に加算して位相情報を出力する位相発生手段、1111は位相発生手段1110の出力をまるめ処理し10ビットの位相情報を出力するまるめ手段である。

【0008】1112、1113は正弦波発生手段と余弦波発生手段であって、それぞれROMで構成され、まるめ手段1111の出力をアドレス入力としクロック1102毎に8ビットの正弦波および余弦波を上述したように第1、第2の復調手段1105、1106に出力す

る。

【0009】以上のように構成されたクロック発生回路について、以下その動作について説明する。

【0010】まず、NTSC、PAL動作切り替え信号1201を入力し、NTSC用とPAL用の2つの位相補償手段1202、1203を値える。そして、NTSC動作時はNTSC用の位相補償手段1202の出力、PAL動作時はPAL用の位相補償手段1203の出力が切り替え手段1204で切り替えて出力される。

【0011】位相発生手段1110は切り替え手段1204の出力によって1クロック当たりの位相進み量に変化するデジタルのVCOを構成する。位相発生手段1110の出力は一旦、まるめ手段1111でまるめ処理してビット数を減らし、正弦波発生手段1112と余弦波発生手段1113で正規の検波軸に一致した基準副搬送波（正弦波および余弦波）を発生する。

【0012】この結果、入力端子1103から入力されたアナログ搬送色信号が正規の検波軸で復調され出力端子1107、1108にR-Y信号とB-Y信号を得る。また、正弦波発生手段1112と余弦波発生手段1113は1周期分のデータをテーブルで待つ必要はなく、1/4周期分の小容量のテーブル（257ワード）と簡単な演算回路によって種々の位相を有する基準副搬送波（正弦波および余弦波）を発生する。

【0013】

【発明が解決しようとする課題】しかしながら上記のような構成では、次のような問題点を有している。サンプリングクロックはクロック発生器1101によって供給されるが、これは入力信号のバースト及びラインにロックしたクロックではないため、特にNTSCでの3次元YC分離をおこなうことができない。

【0014】理由は基本的に3次元YC分離をおこなうためには、クロマ信号の強い相関性を利用して1フレーム前後の信号を加減算してYC分離しているため、入力された信号のバーストにロックしたクロックでないと、1フレーム前後の信号を加減算してもYC分離を正確におこなうことはできない。また、PALにしてもバーストにロックしたクロックであれば、ラインメモリーを使ったYC分離を簡単におこなうことができるが、従来例ではそれが困難になる。

【0015】また、バーストにロックしたクロックをつくるにしてもサブキャリアの整数倍のクロックをつかってそれをクロックとすると、例えばPAL方式におけるサンプリング周波数は4.43MHz×4=17.72MHz、NTSC方式におけるサンプリング周波数は3.58MHz×4=14.32MHzという事になる。

【0016】このようにサンプリング周波数が増加すると図6に示すような巡回型デジタルフィルタの特性が変わってしまうことになる。図6のような巡回型のデジ

タルフィルタはシステム内に多く使っているため、方式毎にゲインコントロール回路603のゲイン係数を変える必要があり、回路構成がより複雑になるという問題点がある。

【0017】ここで、図6は従来例の問題点を説明するための動作説明図であり、601は加算回路、602は入力信号を遅延させるディレイ回路、603は入力された信号の振幅を調整するゲインコントロール回路である。これらを図6のように構成すると、巡回型のデジタルフィルタが構成され、ゲインコントロール回路603のゲイン係数、ディレイ回路602のディレイ量によってそのデジタルフィルタの特性が変化するのである。

【0018】

【課題を解決するための手段】上記問題点を解決するために本発明のクロック発生回路は、コンポジット信号を入力とするAD変換回路と、前記AD変換回路の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出力する同期分離回路と、前記AD変換回路からの出力信号を入力としYC分離をおこなうYC分離回路と、前記YC分離回路からのクロマ出力信号を入力とし、後述する第2のバースト期間累積回路からの制御信号と基準信号とを比較して、基準信号が大きければ出力する信号振幅を大きくするゲイン調整回路と、前記ゲイン調整回路からの出力信号と後述するSINCOS生成回路からの出力信号とを入力する。

【0019】そして、それら2つの信号を掛け算する第1及び第2の掛算回路と、前記第1の掛算回路からの出力信号を入力とし、その高調波成分を落とす第1のローパスフィルタ回路と、前記第2の掛算回路からの出力信号を入力とし、その高調波成分を落とす第2のローパスフィルタ回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第1のローパスフィルタ回路からの出力信号を累積する第1のバースト期間累積回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第2のローパスフィルタ回路からの出力信号を累積する第2のバースト期間累積回路と、前記第1のバースト期間累積回路からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができるVCO（Voltage Control Oscillator）回路と、前記VCO回路からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップする際に制御信号を動かすことで出力するランプ波形の周波数を制御できるランプ波形回路と、前記ランプ波形回路からのランプ波形をアドレスデータとして入力し、内蔵ROMデータを読み出してSIN、COS波を出力するSINCOS生成回路を備えたものである。

【0020】

【発明の実施の形態】本発明の請求項1に記載の発明はサンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路であり、サンプリングクロックをカウントアップする際に、制御信号に応じて出力するランプ波形の周波数を制御できるランプ波形回路により、サンプリング周波数をサブキャリア周波数の任意倍に設定できるという作用を有する。

【0021】本発明の請求項2に記載の発明はコンポジット信号を入力とするAD変換回路と、前記AD変換回路の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出
10 力する同期分離回路と、前記AD変換回路からの出力信号を入力としYC分離をおこなうYC分離回路と、前記YC分離回路からのクロマ出力信号を入力とし、後述する第2のバースト期間累積回路からの制御信号と基準信号とを比較して、基準信号が大きければ出力する信号振幅を大きくするゲイン調整回路と、前記ゲイン調整回路からの出力信号と後述するSINCOS生成回路からの
20 出力信号とを入力し、それら2つの信号を掛け算する第1及び第2の掛算回路と、前記第1の掛算回路からの出力信号を入力とする。

【0022】そして、その高調波成分を落とす第1のローパスフィルタ回路と、前記第2の掛算回路からの出力信号を入力とし、その高調波成分を落とす第2のローパスフィルタ回路と、前記同期分離回路から出力され
るバーストゲートパルス期間において、前記第1のローパスフィルタ回路からの出力信号を累積する第1のバースト期間累積回路と、前記同期分離回路から出力され
30 るバーストゲートパルス期間において、前記第2のローパスフィルタ回路からの出力信号を累積する第2のバースト期間累積回路と、前記第1のバースト期間累積回路からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができるVCO(Voltage Control Oscillator)回路と、前記VCO回路からのクロック出力信号と制御信号
40 を入力とし、そのクロック信号をカウントアップする際に制御信号を動かすことで出力するランプ波形の周波数を制御できるランプ波形回路と、前記ランプ波形回路からのランプ波形をアドレスデータとして入力し、内蔵ROMデータを読み出してSIN、COS波を出力するSINCOS生成回路とを備え、サンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を特徴とするクロック発生回路であり、サンプリングクロックをカウントアップする際に、制御信号に応じて出力するランプ波形の周波数を制御できるランプ波形回路により、サンプリング周波数をサブキャリア周波数の任意倍に設定できるという作
50

用を有する。

【0023】本発明の請求項3に記載の発明は前記請求項2において、ランプ波形回路は入力された制御信号と後述するラッチ回路からの出力信号を加算する加算回路と、前記加算回路からの出力信号を入力されるクロック信号によりラッチするラッチ回路と、前記加算回路からの出力信号を入力とし、その信号を割り算する割算回路とを備え、少ない回路構成にてランプ波形の周波数を可変できるランプ波形回路であり、制御信号を動かす事により出力されるランプ波形の周波数を可変できるという作用を有する。

【0024】以下本発明の実施の形態について、図面を参照しながら説明する。

(実施の形態1)図1は本発明の第1の実施例におけるクロック発生回路のブロック構成図を示すものである。図1において、101はコンポジット信号を入力とするAD変換回路、102はAD変換回路101の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出
力する同期分離回路、103はAD変換回路101からの出力信号を入力としYC分離をおこなうYC分離回路、105はYC分離回路103からの出力信号と、基準信号119を
20 入力とし、後述するバースト期間累積回路110からの制御信号と基準信号119とを比較して、基準信号のほうが大きい場合はゲイン調整回路105から出力するクロマ信号のレベルを大きくし、基準信号のほうが小さければ出力するクロマ信号のレベルを小さくするように動作するゲイン調整回路である。

【0025】106はゲイン調整回路105からの出力信号と後述するSINCOS生成回路112からのSIN出力信号とを入力し、それら2つの信号を掛け算する掛算回路、107はゲイン調整回路105からの出力信号と後述するSINCOS生成回路112からのCOS出力信号とを入力し、それら2つの信号を掛け算する掛算回路、108は掛算回路106からの出力信号を入力とし、その高調波成分を落とすローパスフィルタ回路、109は掛算回路107からの出力信号を入力とし、その高調波成分を落とすローパスフィルタ回路、110は同期分離回路102から出力されるバーストゲートパルス期間において、ローパスフィルタ回路109からの出力信号を累積し、基準信号119との振幅誤差信号を出力するバースト期間累積回路である。

【0026】111は同期分離回路102から出力されるバーストゲートパルス期間において、ローパスフィルタ回路109からの出力信号を累積し、入力信号と後述するSINCOS生成回路112からのSIN波との位相誤差信号を出力するバースト期間累積回路、113はバースト期間累積回路111からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができるVCO(Voltage Control
50

Oscillator) 回路、114はVCO回路113からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップし、更に制御信号を動かすと、出力するランブ波形の周波数を制御できるランブ波形回路である。

【0027】112はランブ波形回路114からのランブ波形をアドレスとし、内蔵ROMデータを読み出してSIN、COS波を出力するSINCOS生成回路である。

【0028】以上のように構成されたクロック発生回路について、以下図1、図4、図5を用いてその動作を説明する。

【0029】図4はランブ波形回路114の動作を説明する動作説明図であり、図5はSINCOS生成回路112の動作を説明する動作説明図である。まず、コンポジット信号115がAD変換回路101に入力されてデジタル信号に変換され、その信号が同期分離回路102、YC分離回路103に入力される。YC分離回路103から出力されるクロマ信号はゲイン調整回路105に入力されるが、このゲイン調整回路105と掛算回路107とローパスフィルター回路109とバースト期間累積回路110によって、いわゆるACC(Auto Color Control)回路を構成し、基準信号119とバースト期間累積回路110からの出力信号が同じになるようにループ回路が働く。

【0030】その結果ゲイン調整回路105から出力されるクロマ信号のレベルを一定に保つように動作する。また、掛算回路106とローパスフィルター回路108とバースト期間累積回路111とVCO回路113とランブ波形回路とSINCOS生成回路112によって、いわゆるAPC(Auto Phase Control)回路を構成し、SINCOS生成回路112から出力されるSIN波、COS波の周波数を入力されるクロマ信号のサブキャリアと一致させるように動作する。

【0031】このAPC回路の部分をもう少し詳しく説明する。掛算回路106によってゲイン調整回路105から出力されるクロマ信号と、SINCOS生成回路112から出力されるSIN波との位相誤差が出力され、その高調波成分を落とした信号がローパスフィルター108から出力される。その信号の中でバースト期間の信号だけを累積し、抜き取った位相誤差信号がバースト期間累積回路111から出力され、VCO回路113に入力される。

【0032】VCO回路は入力信号のレベルに応じてそのクロック出力信号の周波数を可変できる回路であり、そのクロック信号がそのままAD変換回路101のサンプリングクロックとなる。ランブ波形回路114はVCO回路113からの出力信号をクロックとして入力し、そのクロックをカウントアップするが、その動作を図4にて説明する。

【0033】図4(a)の上段の図においてMAX値とは、カウントアップしたランブ波形がとりうる最大値の事であり、MIN値とはカウントアップしたランブ波形がとりうる最小値のことである。ランブ波形回路114にはランブ波形の周波数を可変させるために制御信号を入力するが、この値は図4(a)の上段の図においてAに相当するデータである。

【0034】ランブ波形回路はAの値を基準値としてクロックをカウントアップし、MAX値までいくと基準値であるAにもどるといった動作を続ける。そうすると図4(a)の上段の図に相当する波形が得られる。この波形を大きい値で割算すると図4(a)の中段の図にあるような決まった振幅にほぼ正規化されたランブ波形が出力される事となる。この波形をアドレスデータとしてSINCOS回路に入力すると図4(a)の下段の図にあるようなSIN波が得られる。

【0035】それはSINCOS回路112が図5に示すような入出力関係のROMデータを内蔵しており、図5(a)はSIN波であり、これは掛算回路106に入力させる波形。図5(b)はCOS波を出力であり、掛算回路107に入力させる波形である。ここで制御信号116の値を動かした時のランブ波形回路114の動作が図4(b)であり、制御信号116の値は図4(a)の時よりも大きな値をとるようにしている。

【0036】制御信号116を大きくすると、MAX値までの差が小さくなるためMAX値までに到達する時間が短くなり、その結果ランブ波形の周期が図4(b)の上段図にあるように短くなる。この波形を大きい値で割算すると図4(b)の中段の図にあるような決まった振幅にほぼ正規化されたランブ波形が出力され、これをSINCOS生成回路112に入力すると、図4(b)の下段図にあるような波形が得られる。この波形を掛算回路106、107に入力し、ACC回路、APC回路を構成する。

【0037】以上のように本実施例によれば、制御信号116を動かす事で掛算回路106、107に入力するSIN波、COS波の周波数を変えられるようにすると、サンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できるという効果を得ることができる。

(実施の形態2) 図2は本発明の第2の実施例におけるクロック発生回路のブロック構成図を示すものである。図2において、201は制御信号203と後述するラッチ回路202からの出力信号を加算し、キャリアアウトデータは何も処理していない加算回路、202は加算回路201からの出力信号をクロック信号206によりラッチするラッチ回路、205は加算回路201からの出力信号を入力とし、その信号を割り算する割算回路である。

【0038】以上のように構成されたクロック発生回路について、以下図2を用いてその動作を説明する。

【0039】まずラッチ回路202、加算回路201により構成される回路はいわゆるカウンタ回路であり、クロック信号206の立ち上がりエッジ毎に加算回路201からの出力データはカウントアップされる。加算回路201のキャリアウトは何の処理もしないため、加算回路201からの出力データが最大値（加算回路201のビット数が10ビットであれば、最大値は1023となる）になると、次のクロックではその出力データは制御信号203と同じデータを出力することになる。

【0040】つまり、加算回路201の出力信号は図4（a）の上段図の波形になる。この波形を割算回路205に投入し、大きな値にて割算する（具体的には加算回路201からのデータの内、上位ビットだけを出力する）とその出力ランブ波形出力信号204は図4（a）の中段図のように、ランブ波形振幅を正規化したような波形になる。そして、制御信号203を動かすと、加算回路201からの出力データは図4（b）の上段図のようになり、そのデータを割算回路205に投入すると、その出力信号であるランブ波形出力信号204は図4（b）中段図のようになる。

【0041】これをSINCOS生成回路112に通ずと、出力信号は図4（b）下段図のようになり、SIN波の周波数を変えることができる。

【0042】なお、第1の実施例においてSINCOS生成回路112は図5（a）、（b）のようにSIN、COSデータを1波長分のデータをそれぞれ持つのもよいし、1/4波長分のSINデータと簡単な演算回路を持ってSIN波、COS波を生成するようにするのもよい。

【0043】

【発明の効果】以上のように本発明はコンポジット信号を入力とするAD変換回路と、前記AD変換回路の出力信号を入力と同期信号を分離すると共に、バースト信号をゲートするためのバーストゲートパルスを出力する同期分離回路と、前記AD変換回路からの出力信号を入力としYC分離をおこなうYC分離回路と、前記YC分離回路からのクロマ出力信号を入力とし、後述する第2のバースト期間累積回路からの制御信号と基準信号とを比較して、基準信号が大きければ出力する信号振幅を大きくするゲイン調整回路と、前記ゲイン調整回路からの出力信号と後述するSINCOS生成回路からの出力信号とを入力し、それら2つの信号を掛け算する第1及び第2の掛算回路と、前記第1の掛算回路からの出力信号を入力とし、その高調波成分を落とす第1のローパスフィルター回路と、前記第2の掛算回路からの出力信号を入

力とし、その高調波成分を落とす第2のローパスフィルター回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第1のローパスフィルター回路からの出力信号を累積する第1のバースト期間累積回路と、前記同期分離回路から出力されるバーストゲートパルス期間において、前記第2のローパスフィルター回路からの出力信号を累積する第2のバースト期間累積回路と、前記第1のバースト期間累積回路からの出力信号を入力とし、その信号レベルに応じてクロック周波数を変えることができるVCO（Voltage Controlled Oscillator）回路と、前記VCO回路からのクロック出力信号と制御信号を入力とし、そのクロック信号をカウントアップする際に制御信号を動かすことで出力するランブ波形の周波数を制御できるランブ波形回路と、前記ランブ波形回路からのランブ波形をアドレスデータとして投入し、内蔵ROMデータを読み出してSIN、COS波を出力するSINCOS生成回路を設けることにより、サンプリングクロック周波数を大きく変えることなくNTSC、PAL方式等のYC分離及びクロマ復調を高精度で、かつ簡単なシステムで構成できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるクロック発生回路のブロック構成図

【図2】本発明の第2の実施例におけるクロック発生回路のブロック構成図

【図3】従来のクロック発生回路のブロック構成図

【図4】本発明の第1、第2の実施例におけるクロック発生回路の動作説明図

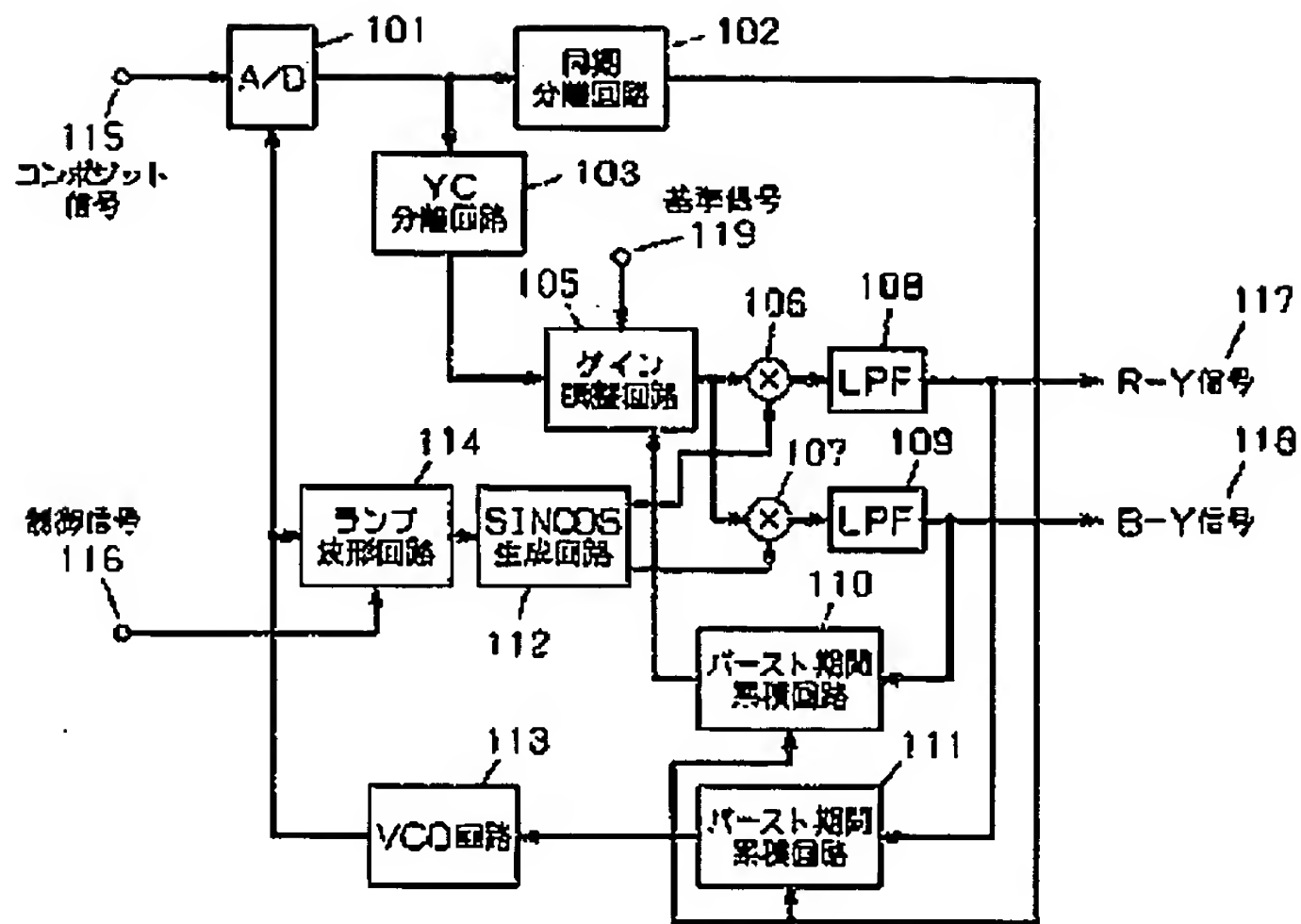
【図5】本発明の第1の実施例におけるSINCOS生成回路の動作説明図

【図6】本発明の第1の実施例におけるクロック発生回路の動作説明図

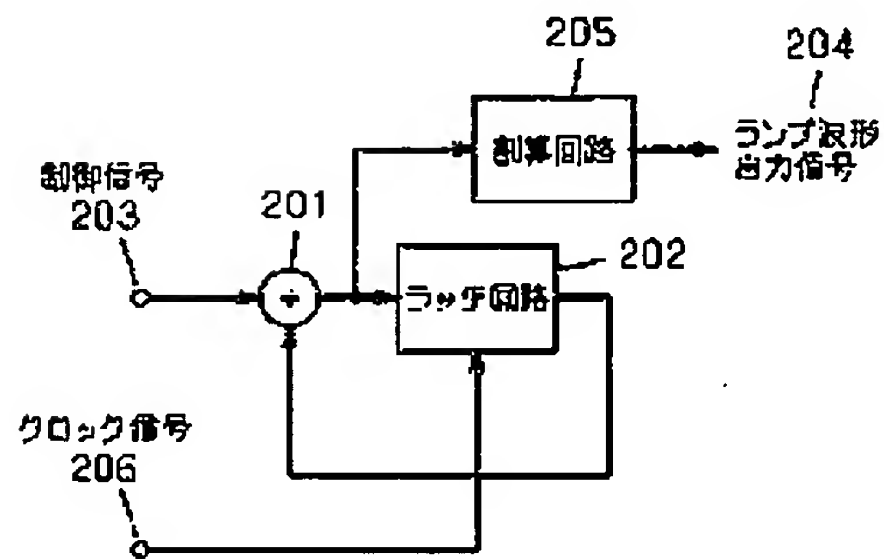
【符号の説明】

- 101 AD変換回路
- 102 同期分離回路
- 103 YC分離回路
- 105 ゲイン調整回路
- 106 掛算回路
- 107 掛算回路
- 108 ローパスフィルター回路
- 109 ローパスフィルター回路
- 110 バースト期間累積回路
- 111 バースト期間累積回路
- 112 SINCOS生成回路
- 113 VCO回路
- 114 ランブ波形回路

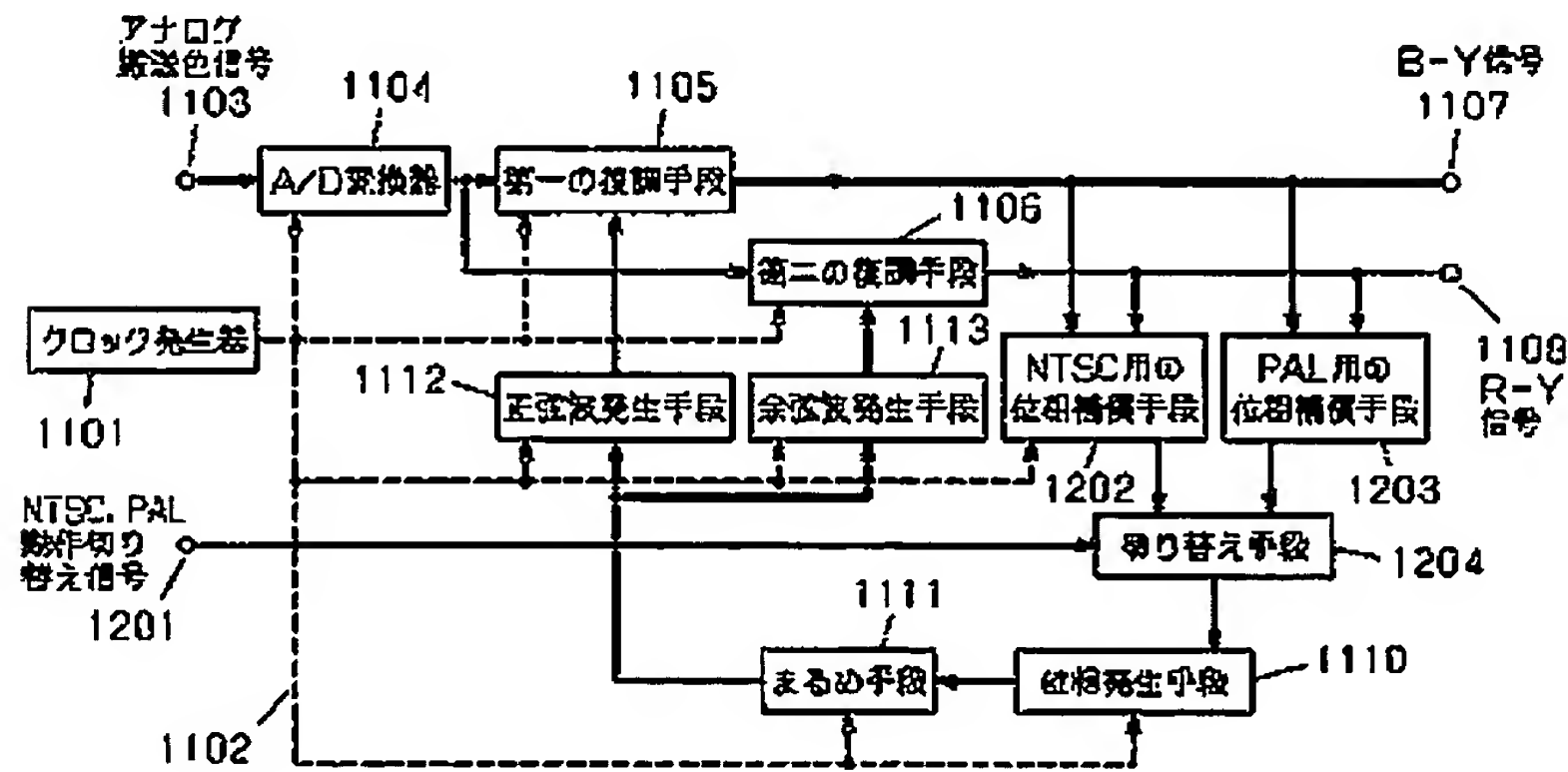
【図1】



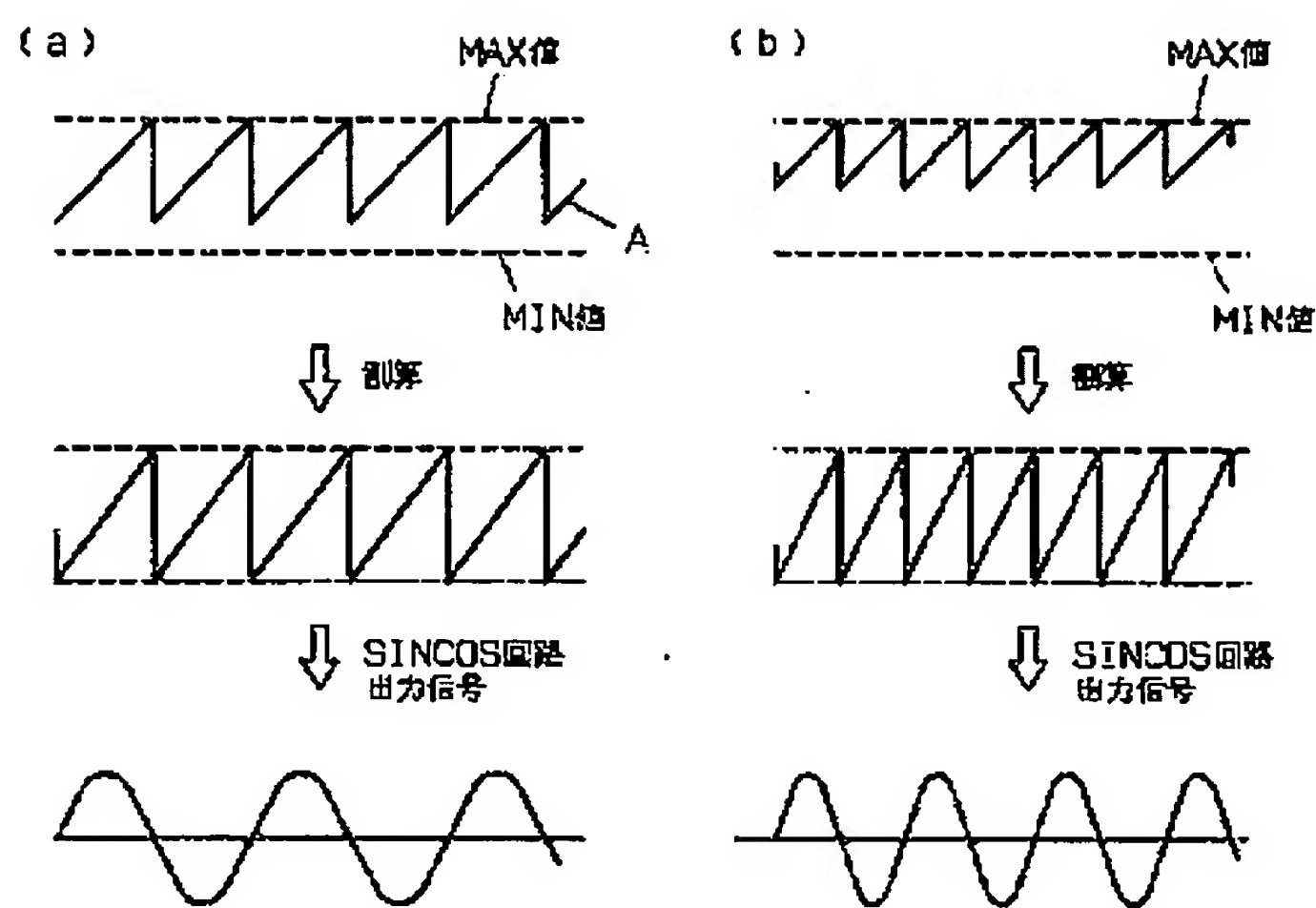
【図2】



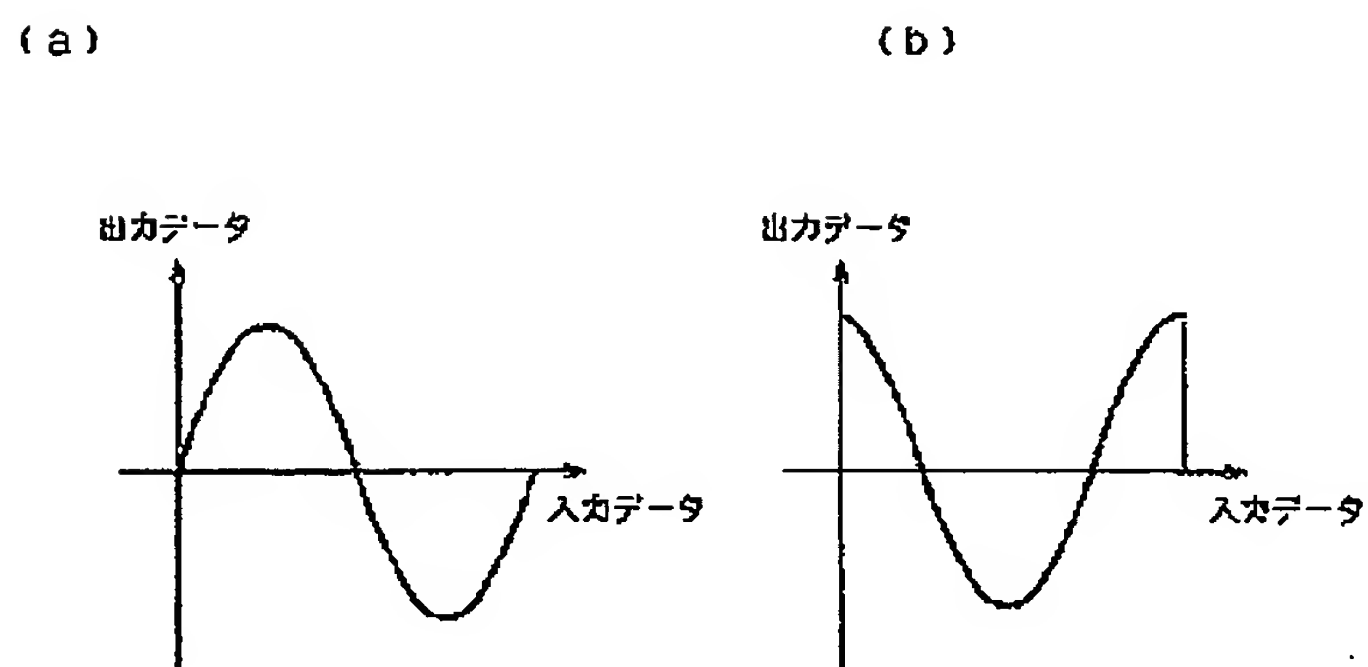
【図3】



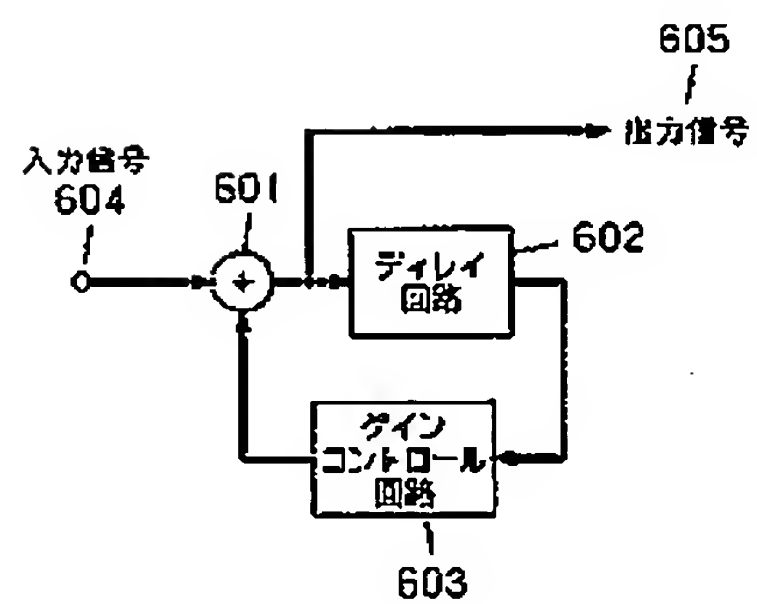
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 森田 久雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 遊谷 竜一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 安藤 仁
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5C056 AA03 BA02 BA03 CA03 DA03
DA06 DA08 DB07 DC01 DC06
DC07 DC08 DD07 EA06 EB06
EF03 EF04 GA02 GA03 GA04
GA13 GA15 GA19 GA20 HA02
KA12 KA13 KB02 KB05 KC02
KE02 KE03 KE05 KE08 KE09
KE19 KE24 KF03 KG05